



# 数字电子技术实验

主编：李天华

山东农业大学

机械与电子工程学院

# 目 录

1、使用要求及注意事项	
2、数字电路基本知识·····	1
3、基本实验	
实验一基本逻辑门逻辑实验·····	5
实验四  数据选择器和译码器·····	8
实验七  触发器·····	11
5、附录 常用实验器件引线图·····	16

注：其它实验项目可根据教学要求自拟实验内容、步骤、方法。

## 1、实验要求及注意事项

- 1、实验前必充分预习实验内容，做到思路清晰，实验任务明确。
- 2、实验时认真阅读实验指导书，按电路原理图正确连接实验导线，仔细检查无误，方可通电实验。
- 3、实验中多注意观察，如有元器件冒烟、发烫或有异味等应立即关断电源，报告实验老师，待找出原因、排除故障后才能重新实验。
- 4、实验中须更改连线，必须切断电源后才能进行。
- 5、实验中应仔细观察实验现象，认真记录实验结果、数据、波形、分析正确与否。
- 6、实验结束关闭电源，拔除电源插头，并将仪器设备、工具、导线等按规定整理好。

## 2、数字电路实验基本知识

### 一、数字集成电路封装

中、小规模数字 IC 中最常用的是 TTL 电路和 CMOS 电路。TTL 器件型号以 74 (或 54) 作前缀, 称为 74/54 系列, 如 74LS10、74LS181、54S86 等。中、小规模 CMOS 数字集成电路主要是 4XXX/45XX(X 代表 0—9 的数字) 系列, 高速 CMOS 电路 HC (74HC 系列), 与 TTL 兼容的高速 CMOS 电路 HCT (74HCT 系列)。TTL 电路与 CMOS 电路各有优缺点, TTL 速度快, CMOS 电路功耗小、电源范围大、抗干扰能力强。由于 TTL 在世界范围内应用很广, 所以在数字电路教学实验中, 我们主要使用 TTL74 系列电路作为实验用器件, 采用单一+5V 作为供电电源。

数字 IC 器件有多种封装形式。为了教学实验方便, 实验中所用的 74 系列器件封装选用双列直插式。图 1 是双列直插封装的正面示意图。双列直插封装有以下特点:

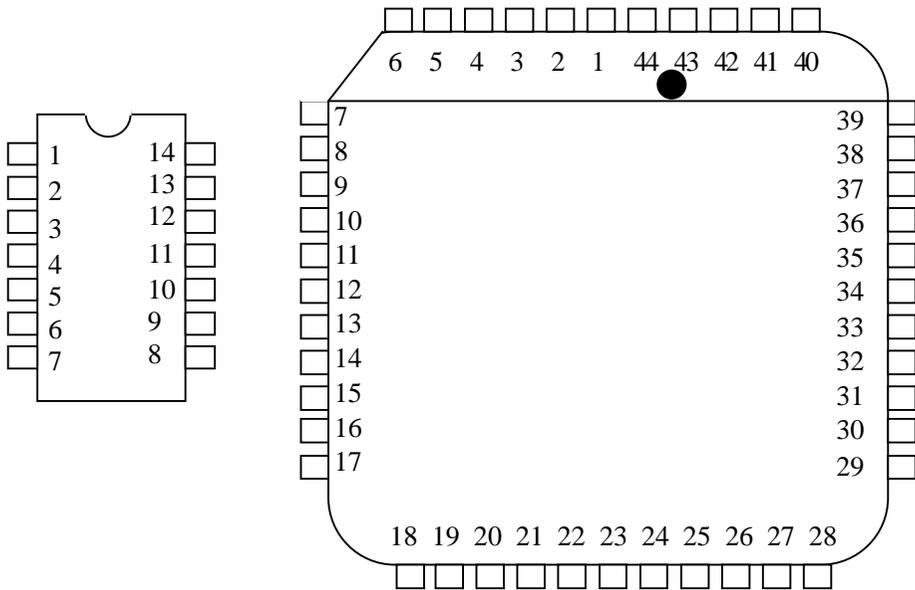


图 1 DIP 双列直插式封装图

图 2 PLCC 封装图

1、从正面 (上面) 看, 器件一端有一个半圆的缺口, 这是正方向的标志。缺口左边的引脚号为 1, 引脚号按逆时针方向增加。图 1 中的数字表示引脚号。双列直插封装 IC 引脚数有 14、16、20、24、28 等若干种。

2、双列直插器件有两列引脚。引脚之间的间距是 2.54 毫米。两列引脚之间的距离有宽 (15.24 毫米)、窄 (7.62 毫米) 两种。两列引脚之间的距离能够少做改变, 引脚间距不能改变。将器件插入实验板上的插座中去, 从插座中拔出时要小心, 不要将器件引脚搞弯或折断。

3、74 系列器件一般左下角的最后一个引脚是 GND, 右上角的引脚是  $V_{CC}$ 。例

如，14 引脚器件引脚 7 是 GND，引脚 14 是  $V_{CC}$ ；20 引脚器件引脚 10 是 GND，引脚 20 是  $V_{CC}$ 。但也有一些例外，例如 16 引脚的双 JK 触发器 74LS76，引脚 13（不是引脚 8）是 GND，引脚 5（不是引脚 16）是  $V_{CC}$ 。所以使用集成电路器件时，要先看清它的引脚图，找对电源和地，避免因接线错误造成器件损坏。

数字电路综合实验中，使用的复杂可编程逻辑器件 EPM7032 是 44 引脚的 PLCC（Plastic Leaded Chip Carrier）封装，图 2 是封装正面图。器件上的小圆圈指示引脚 1，引脚号按逆时针方向增加，引脚 2 在引脚 1 的左边，引脚 44 在引脚 1 的右边。EPM7032 有多个电源引脚号、地引脚号，器件的缺角要对准插座的缺角。PLCC 封装器件管脚较多拔出时应更加小心，可以使用专门的起拔器，也可以使用镊子从对角缝隙轻轻拔出。

实验设备上的接线端上的接线采用自锁紧插头、插孔（插座）。使用自锁紧插头、插孔接线时，首先把插头插进插孔中，然后将插头按顺时针方向轻轻一拧则锁紧。拔出插头时，首先按逆时针方向轻轻一拧一下插头，使插头和插孔之间松开，然后将插头从插孔中拔出。不要使劲拔插头，以免损坏插头和连线。

必须注意，不能带电插、拔器件。插、拔器件只能在关断电源的情况下进行。

### 三、数字电路测试及故障查找、排除

设计好一个数字电路后，要对其进行测试，以验证设计是否正确。测试过程中，发现问题要分析原因，找出故障所在，并解决它。数字电路实验也遵循这些原则。

#### 1、数字电路测试

数字电路测试大体上分为静态测试和动态测试两部分。静态测试指的是，给定数字电路若干组静态输入值，测试数字电路的输出值是否正确。数字电路设计好后，在实验台上连接成一个完整的线路。把线路的输入接逻辑开关输出，线路的输出接逻辑状态指示灯，按功能表或状态表的要求，改变输入状态，观察输入和输出之间的关系是否符合设计要求。静态测试是检查设计是否正确，接线是否无误的重要一步。

在静态测试基础上，按设计要求在输入端加动态脉冲信号，观察输出端波形是否符合设计要求，这是动态测试。有些数字电路只需进行静态测试即可，有些数字电路则必须进行动态测试。一般地说，时序电路应进行动态测试。

#### 2、数字电路的故障查找和排除

在数字电路实验中，出现问题是难免的。重要的是分析问题，找出出现问题的原因，从而解决它。一般地说，有四个方面的原因产生问题（故障）：器件故障、接线错误、设计错误和测试方法不正确。在查找故障过程中，首先要熟悉经常发生的典型故障。

##### （1）器件故障

器件故障是器件失效或器件接插问题引起的故障，表现为器件工作不正常。不言而喻，器件失效肯定会引起工作不正常，这需要更换一个好器件。器件接插问题，如管脚折断或者器件的某个（或某些）引脚没插到插座中等，也会使器件工作不正常。对于器件接插错误有时不易发现，需仔细检查。判断器件失效的方法是用

集成电路测试仪测试器件。需要指出的是，一般的集成电路测试仪只能检测器件的某些静态特性。对负载能力等静态特性和上升沿、下降沿、延迟时间等动态特性，一般的集成电路测试仪不能测试。测试器件的这些参数，须使用专门的集成电路测试仪。

#### (2) 接线错误

接线错误是最常见的错误。据有人统计，在教学实验中，大约百分之七十以上的故障是由接线错误引起的。常见的接线错误包括忘记接器件的电源和地；连线与插孔接触不良；连线经多次使用后，有可能外面塑料包皮完好，但内部线断；连线多接、漏接、错接；连线过长、过乱造成干扰。接线错误造成的现象多种多样，例如器件的某个功能块不工作或工作不正常，器件不工作或发热，电路中一部分工作状态不稳定等。解决方法大致包括：熟悉所用器件的功能及其引脚号，知道器件每个引脚的功能；器件的电源和地一定要接对、接好；检查连线和插孔接触是否良好；检查连线有无错接、多接、漏接；检查连线中是否有断线。最重要的是接线前要画出接线图，按图接线，不要凭记忆随想随接；接线要规范、整齐，尽量走直线、短线，以免引起干扰。

#### (3) 设计错误

设计错误自然会造成与预想的结果不一致。原因是对实验要求没有吃透，或者是对所用器件的原理没有掌握。因此实验前一定要理解实验要求，掌握实验线路原理，精心设计。初始设计完成后一般应对设计进行优化。最后画好逻辑图及接线图。

#### (4) 测试方法不正确

如果不发生前面所述三种错误，实验一般会成功。但有时测试方法不正确也会引起观测错误。例如，一个稳定的波形，如果用示波器观测，而示波器没有同步，则造成波形不稳的假象。因此要学会正确使用所用仪器、仪表。在数字电路实验中，尤其要学会正确使用示波器。在对数字电路测试过程中，由于测试仪器、仪表加到被测电路上后，对被测电路相当于一个负载，因此测试过程中也有可能引起电路本身工作状态的改变，这点应引起足够注意。不过，在数字电路实验中，这种现象很少发生。

当实验中发现结果与预期不一致时，千万不要慌乱。应仔细观测现象，冷静思考问题所在。首先检查仪器、仪表的使用是否正确。在正确使用仪器、仪表的前提下，按逻辑图和接线图逐级查找问题出现在何处。通常从发现问题的地方，一级一级向前测试，直到找出故障的初始发生位置。在故障的初始位置处，首先检查连线是否正确。前面已说过，实验故障绝大部分是由接线错误引起的，因此检查一定要认真、仔细。确认接线无误后，检查器件引脚是否全部正确插进插座中，有无引脚折断、弯曲、错插问题以及实验板器件插接端与引出端是否有断路或旁接现象。确认无上述问题后，取下器件测试，以检查器件好坏，或者直接换一个好器件。如果器件和接线都正确，则需考虑设计问题。

### 3、基本实验

#### 实验一 基本逻辑门逻辑实验

##### 一、实验目的

- 1、掌握 TTL 与非门、与或门和异或门输入与输出之间的逻辑关系。
- 2、熟悉 TTL 中、小规模集成电路的外型、管脚和使用方法。

##### 二、实验所用器件和仪表

- 1、二输入四与非门 74LS00 1 片
- 2、二输入四或非门 74LS28 1 片
- 3、二输入四异或门 74LS86 1 片

##### 三、实验内容

- 1、测试二输入四与非门 74LS00 一个与非门的输入和输出之间的逻辑关系
- 2、测试二输入四或非门 74LS28 一个或非门的输入和输出之间的逻辑关系
- 3、测试二输入四异或门 74LS86 一个异或门的输入和输出之间的逻辑关系

##### 四、实验提示

- 1、将被测器件插入实验箱上的 14 脚插座中。
- 2、将器件的引脚 7 与实验箱的“地 (GND)”连接，将器件的引脚 14 与实验箱的 +5V 连接。
- 3、用实验箱的逻辑开关输出作为被测器件的输入。按入或弹出逻辑开关，则改变器件的输入电平。
- 4、将被测器件的输出引脚与实验箱上的逻辑状态显示灯连接。指示灯亮红色表示输出电平为 1，指示灯亮绿色表示输出电平为 0。

##### 五、实验接线图及实验结果

74LS00 中包含 4 个二与非门，74LS28 中包含 4 个二或非门，74LS86 中包含 4 个二异或门，下面各画出测试第一个逻辑门逻辑关系的接线图及测试结果。测试其它逻辑门时的接线图与之类似。测试时各器件的引脚 7 接地，引脚 14 接 +5V。图中的 K1、K2 是逻辑开关输出，LED0 是逻辑状态显示灯。

##### 1、测试 74LS00 逻辑关系接线图及测试结果

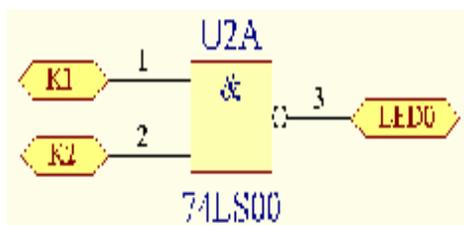


图 1.1 测试 74LS00 逻辑关系接线图  
表 1.1 74LS00 真值表

2、测试 74LS28 逻辑关系接线图及测

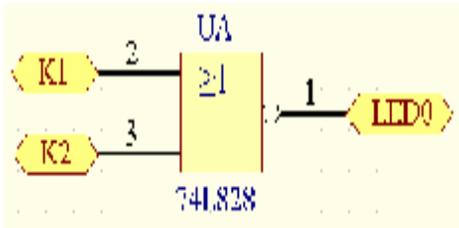


图 1.2 测试 74LS28 逻辑关系接线图  
表 1.2 74LS28 真值表

输 入		输 出
引脚 1	引脚 2	引脚 3
L	L	H
L	H	H
H	L	H
H	H	L

试结果

输 入		输 出
引脚 1	引脚 2	引脚 3
L	L	H
L	H	L
H	L	L
H	H	L

3、测试 74LS86 逻辑关系接线图及测  
试结果

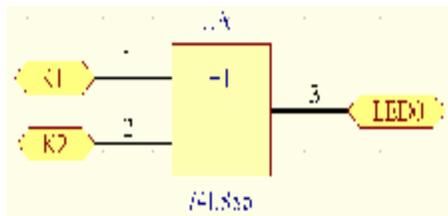


图 1.3 测试 74LS86 逻辑关系接线图

输 入		输 出
引脚 1	引脚 2	引脚 3
L	L	L
L	H	H
H	L	H
H	H	L

表 1.2 74LS86 真值表

六、实验报告

整理实验结果，并分别测试各逻辑门的另三个门的逻辑关系，记录结果。

## 实验二 数据选择器和译码器

一、实验目的

- 1、熟悉数据选择器的逻辑功能。
- 2、熟悉译码器的逻辑功能。

二、实验所用器件和仪表

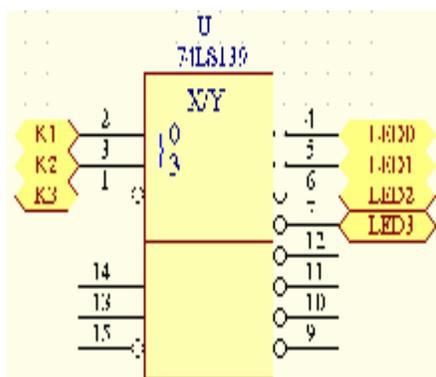


表 2.1 74LS153 真值表

选择输入		数据输入				选通	输出
B	A	C <sub>0</sub>	C <sub>1</sub>	C <sub>2</sub>	C <sub>3</sub>	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

图 2.1 中, K1、K2、K3 是逻辑开关输出。

2、74LS139 实验接线图和 74LS139 真值表。



输入端		输出端				
允许 G	选择		Y0	Y1	Y2	Y3
	B	A				
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

图 2—2 74LS139 实验接线图

表 2.2 74LS139 真值表

图 2—2 中, K1、K2、K3、是逻辑开关输出, LED0、LED1、LED2、LED3 是逻辑状态指示灯。

3、74LS139 和 74LS153 中, 引脚 G 用于控制输出。在 74LS153 中, 当 G 为高电平时, 禁止输出, 输出为低电平; 当 G 为低电平时, 允许输出, 由数据选择端 B、A 决定 C<sub>0</sub>、C<sub>1</sub>、C<sub>2</sub>、C<sub>3</sub> 中的哪中数据送往数据输出端 Y。在 74LS139 中, 当 G 为高电平时, 禁止输出, 所有输出 Y<sub>0</sub>、Y<sub>1</sub>、Y<sub>2</sub>、Y<sub>3</sub> 为高电平; 当 G 为低电平时, 允许输出, 由数据选择端 B、A 决定输出 Y<sub>0</sub>、Y<sub>1</sub>、Y<sub>2</sub>、Y<sub>3</sub> 中的哪路数据为低电平。

## 实验三 触发器实验

### 一、实验目的

- 1、掌握 RS 触发器、D 触发器、JK 触发器的工作原理。
- 2、学会正确使用 RS 触发器、D 触发器、JK 触发器。

### 二、实验所用器件和设备

- |                    |     |
|--------------------|-----|
| 1、四 2 输入与非门 74LS00 | 1 片 |
| 2、双 D 触发器 74LS74   | 1 片 |
| 3、双 JK 触发器 74LS73  | 1 片 |

### 三、实验内容

1、用 74LS00 构成一个 RS 触发器， $\bar{R}$ 、 $\bar{S}$  端接逻辑开关输出，Q、 $\bar{Q}$  端接逻辑状态指示灯，改变  $\bar{R}$ 、 $\bar{S}$  的电平，观察现象并记录 Q、 $\bar{Q}$  的值。

2、双 D 触发器 74LS74 中一个触发器功能测试。

(1) 将 CLR（复位）、RP（置位）引脚接实验板上逻辑开关输出，Q、 $\bar{Q}$  引脚接逻辑状态指示灯，改变 CLR、RP 的电平，观察现象并记录 Q、 $\bar{Q}$  的值。

(2) 在步骤 (1) 的基础上，置 CLR、RP 引脚为高电平，D（数据）引脚接逻辑开关输出，CK（时钟）引脚接单次脉冲。在 D 为高电平和低电平的情况，分别按单次脉冲按钮，观察现象并记录 Q、 $\bar{Q}$  的值。

(3) 在步骤 (1) 的基础上，将 D 引脚接 1kHz 脉冲源，CK 引脚端接 10kHz 脉冲源，用示波器同时观察 D 端和 CK 端的波形，并记录；同时观察 D 端、Q 端的波形并记录分析原因。

3、制定对双 JK 触发器 74LS73 一个 JK 触发器的测试方案，并进行测试。

### 四、实验提示

74LS73 引脚 11 是 GND，引脚 4 是 Vcc。

### 五、实验接线图、测试步骤及测试结果。

1、实验 1 的接线图、测试步骤、测试结果。

图 3.1 是 RS 触发器实验接线图，图中 K1、K2 是逻辑开关输出，LED0、LED1 是逻辑状态指示灯。RS 触发器的测试步骤及结果如下：

- (1)  $\bar{R}=0$ ， $\bar{S}=1$ ，测得 $\bar{Q}=1$ ，Q=0。
- (2)  $\bar{R}=1$ ， $\bar{S}=1$ ，测得 $\bar{Q}=1$ ，Q=0。
- (3)  $\bar{R}=1$ ， $\bar{S}=0$ ，测得 $\bar{Q}=0$ ，Q=1。
- (4)  $\bar{R}=1$ ， $\bar{S}=1$ ，测得 $\bar{Q}=0$ ，Q=1。
- (5)  $\bar{R}=0$ ， $\bar{S}=0$ ，测得 $\bar{Q}=1$ ，Q=1。

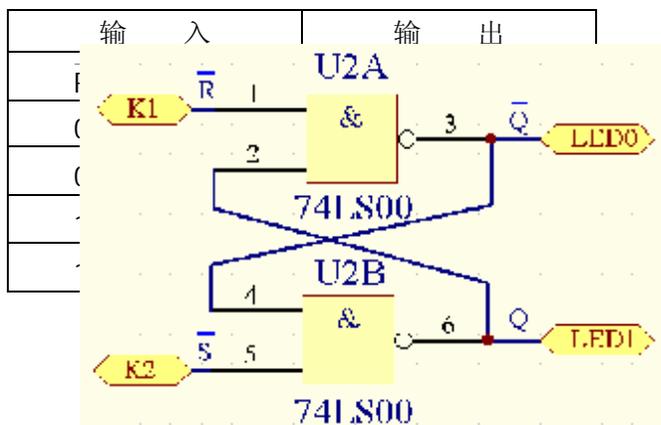


图 3.1 RS 触发器测试接线图

时序电路的值与测试顺序有关，应引起注意。根据测试结果，得出 RS 触发器的真值表如下：

表 3.1 RS 触发器真值表

根据触发器的定义， $\bar{Q}$ 和 $Q$ 应互补，因此 $\bar{R}=0, \bar{S}=0$ 是非法状态。

2、实验 2 接线图、测试步骤、测试结果

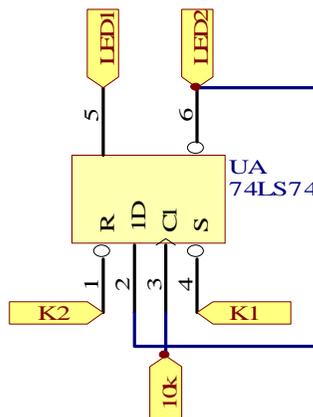
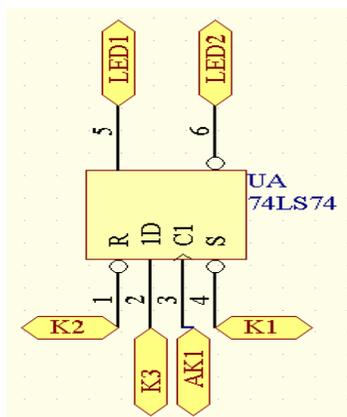


图 3.2 74LS74 测试图 1

图 3.3 74LS74 测试图 2

图 3.2 和图 3.3 是测试 D 触发器的接线图，K1、K2、K3 是逻辑开关输出，LED1、LED2 是逻辑状态指示灯，AK1 是单脉冲按钮，1kHz、10kHz 是时钟脉冲源。

测试步骤及结果如下：

- (1) CLR=0, PR=1, 测得 $\bar{Q}=1$ , Q=0。
- (2) CLR=1, PR=1, 测得 $\bar{Q}=1$ , Q=0。
- (3) CLR=1, PR=0, 测得 $\bar{Q}=0$ , Q=1。
- (4) CLR=1, PR=1, 测得 $\bar{Q}=0$ , Q=1。
- (5) CLR=0, PR=0, 测得 $\bar{Q}=1$ , Q=1。
- (6) CLR=1, PR=1, D=1, CK 接单脉冲, 接单脉冲按钮, 测得 $\bar{Q}=0$ , Q=1。
- (7) CLR=1, PR=1, D=0, CK 接单脉冲, 接单脉冲按钮, 测得 $\bar{Q}=1$ , Q=0。
- (8) CLR=1, PR=1, D 接 $\bar{Q}$ , CK 接 10kHz, 测得 Q 端波形如下：

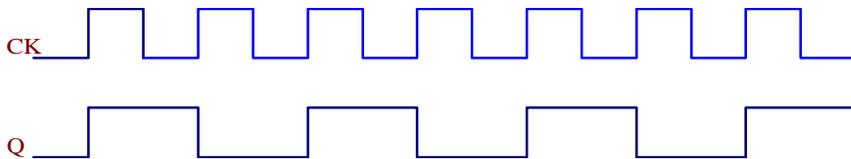


图 3.4 D 触发器 CK 端与 Q 端波形图

(9) 在示波器上同时观测 Q、CK 的波形，观测到 Q 的波形只在 CK 的上升沿才发生变化。

(10) 根据上述测试，得出 D 触发器的功能表如下：

输 入				输 出	
RP	CLR	CLK	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q <sub>0</sub>	$\bar{Q}_0$

表 3.2 D 触发器 74LS74 真值表

### 3、双 JK 触发器 74LS73 中一个触发器的功能测试方案

(1) 74LS73 功能测试接线图如下：

K1、K2、K3 是逻辑开关输出，LED0、LED1 是逻辑状态指示灯，AK1 是接单脉冲按钮，100kHz 是时钟脉冲源。74LS73 引脚 4 接+5V 引脚 11 接地。

(2) CLR=0, 测得 $\bar{Q}=1$ , Q=0。

(3) CLR=1, J=0, K=0, 接单脉冲按钮 AK1, 测得 $\bar{Q}=1$ , Q=0。

(4) CLR=1, J=1, K=0, 接单脉冲按钮 AK1, 测得 $\bar{Q}=0$ , Q=1。

(5) CLR=1, J=0, K=0, 接单脉冲按钮 AK1, 测得 $\bar{Q}=0$ , Q=1。

(6) CLR=1, J=0, K=1, 接单脉冲按钮 AK1, 测得 $\bar{Q}=1$ , Q=0。

(7) CLR=1, J=0, K=0, 接单脉冲按钮 AK1, 测得 $\bar{Q}=1$ , Q=0。

(8) CLR=1, J=1, K=1, 接单脉冲按钮 AK1, 测得 $\bar{Q}=0$ , Q=1; 再接单脉冲按钮 AK1, 测得 $\bar{Q}=1$ , Q=0。

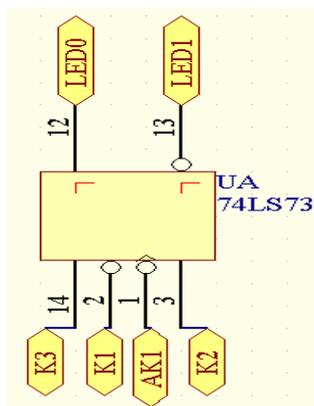


图 3.5 74LS73 测试图 1

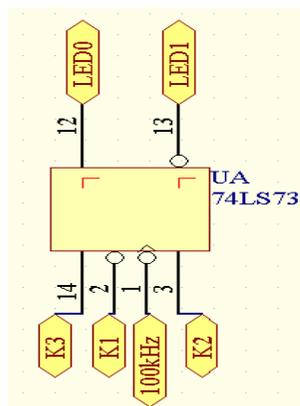


图 3.6 74LS73 测试图 2

(9) CLR=1, J=1, K=1, CK 接 100kHz 脉冲源，示波器显示出波形如下：

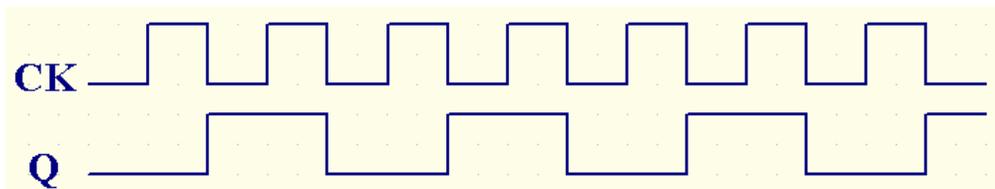


图 3.7 74LS73 J=1 K=1 的波形图

(10) 根据以上的测试，得出 74LS73 真值表如下：

输 入				输 出	
清零	时钟	J	K	Q	$\bar{Q}$

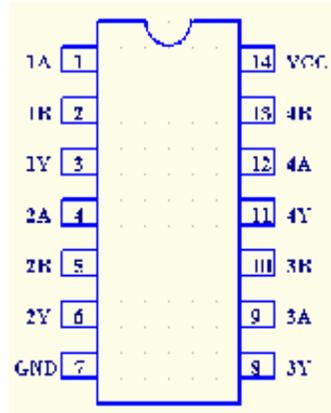
L	X	X	X	L	H
H	↓	L	L	$Q_0$	$\overline{Q_0}$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	翻	转
H	↓	X	X	$Q_0$	$\overline{Q_0}$

表 3.3 JK 触发器 74LS73 真值表

## 5、附录 常用实验器件引线图

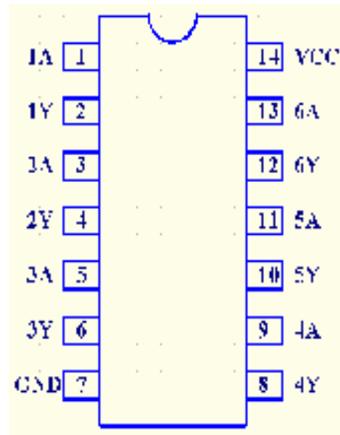
### 1、四 2 输入正与非门 74LS00

$$Y = \overline{AB}$$



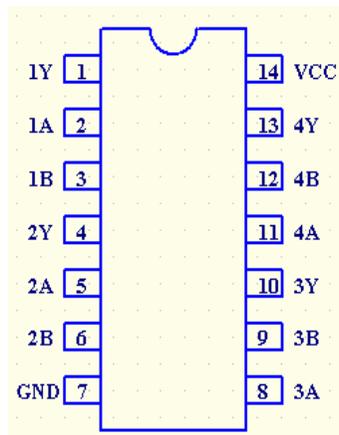
### 2、六反相器 74LS04

$$Y = \overline{A}$$



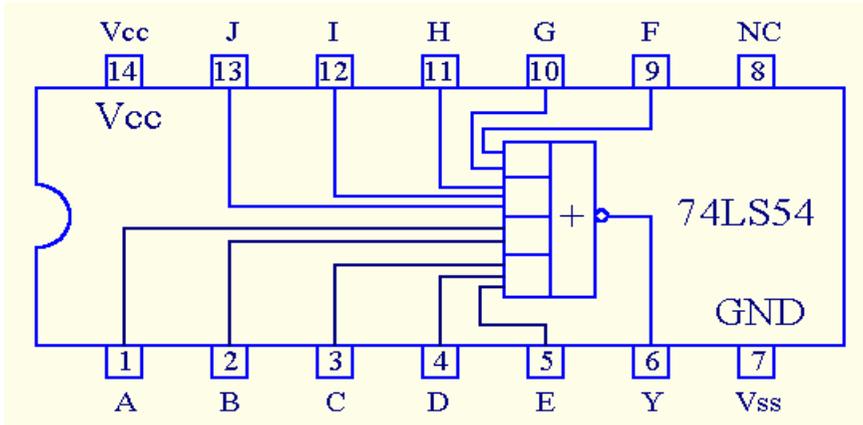
### 3、四 2 输入或非门 74LS28

$$Y = \overline{A+B}$$



### 4、2-3-3-2 与或非门 74LS54

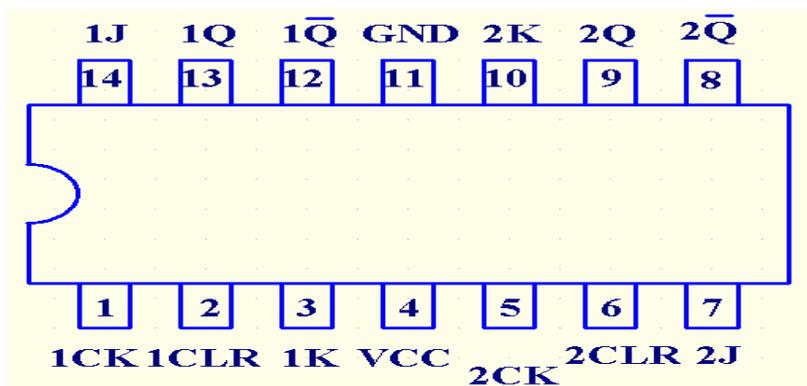
$$Y=AB+CDE+FGH+IJ$$



### 5、双 JK 触发器（带清零端）74LS73

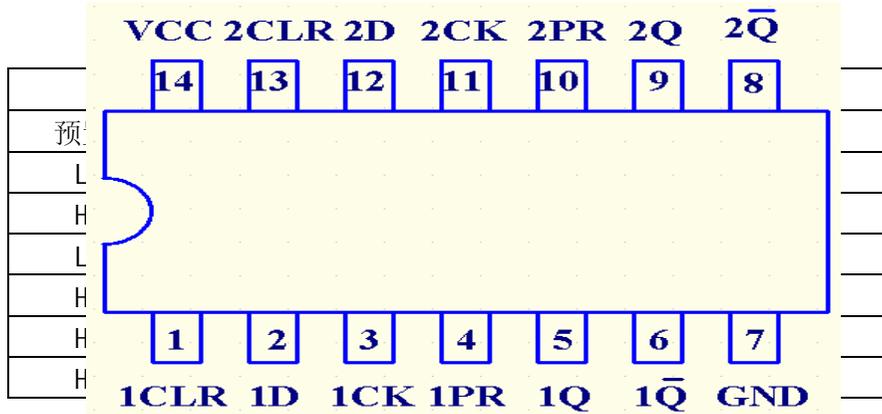
真值表

输入			输出		
清零	时钟	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	↓	L	L	00	$\bar{00}$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	反 转	
H	H	X	X	00	$\bar{00}$



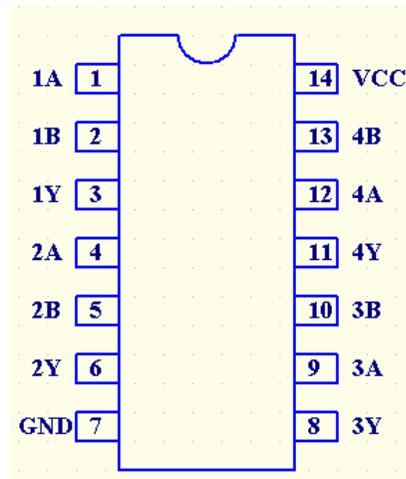
### 6、双 D 触发器（带预置和清零端）74LS74

真值表



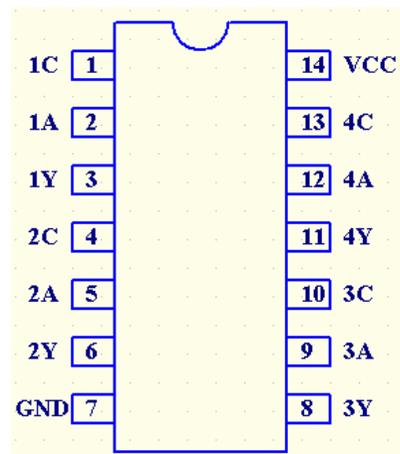
7、四 2 输入异或门 74LS86

$$Y = A \oplus B = \overline{A}B + A\overline{B}$$



8、三态输出的四总线缓冲门 74LS125

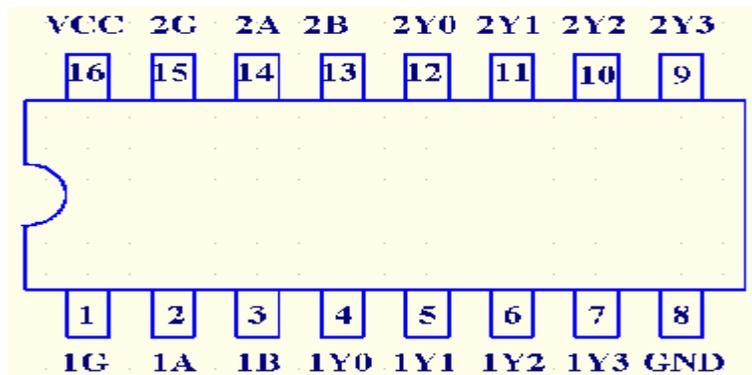
正逻辑  
 $Y = A$   
 C 为高时输出截止



9、2: 4 线译码器/分配器 74LS139

真值表

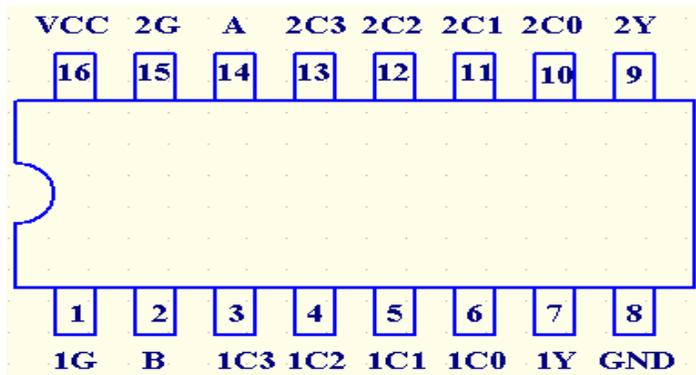
输入端			输出端			
允许	选择					
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L



10、双 4-1 线数据选择器/多路开关 74LS153

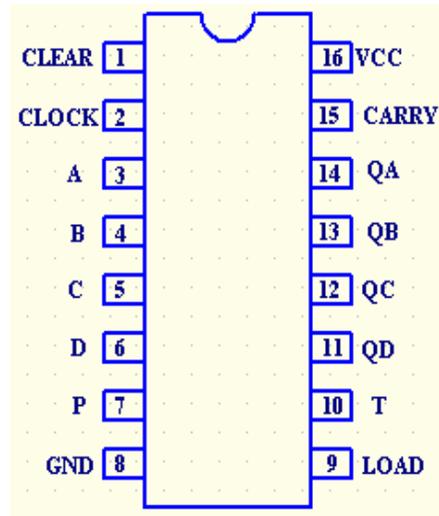
真值表

选择输入		数据输入				选通	输出
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	L	X	L	L
H	H	X	X	X	H	L	H

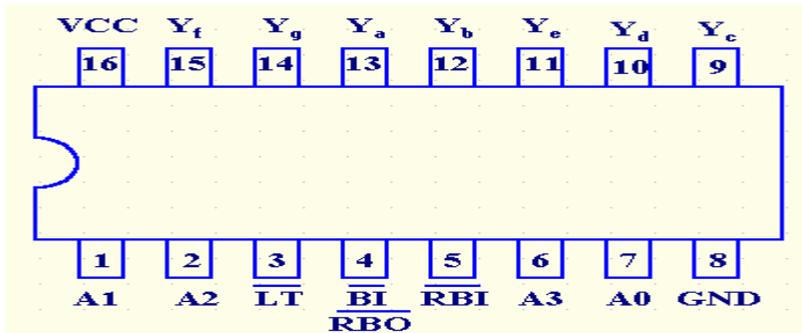


### 11、同步十进制计数器 74LS162

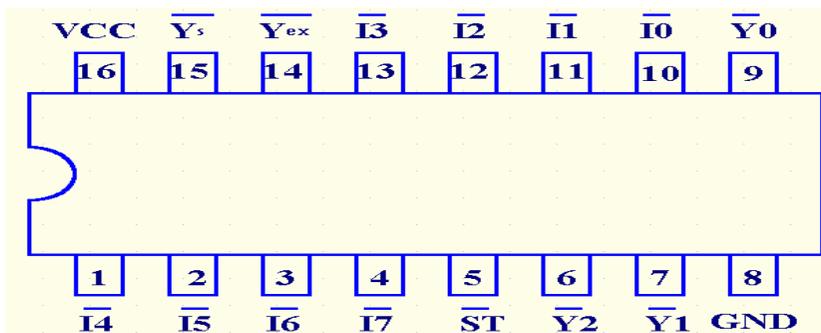
- 1、74LS162 是同步 BCD 计数器。
- 2、CLOCK 是计数时钟，上升沿计数。
- 3、CLEAR 为同步清零，低有效。
- 4、LOAD 为同步预置，低有效。
- 5、D、C、B、A 是数据预置端，D 是高位。
- 6、QA、QB、QC、QD、是计数输出，QD 为高位。
- 7、CARRY 是进位位，高有效，脉宽与 QA 脉宽相等。
- 8、ENABLE T 和 ENABLE P 为高时，允许计数。  
ENABLE T 为低时，禁止 CARRY 输出。



12、4-7 译码器/驱动器 74LS48



13、8-3 线优先编码器



14、十进制计数器 74LS90

